

SEMICONDUCTOR STORAGE DEVICE

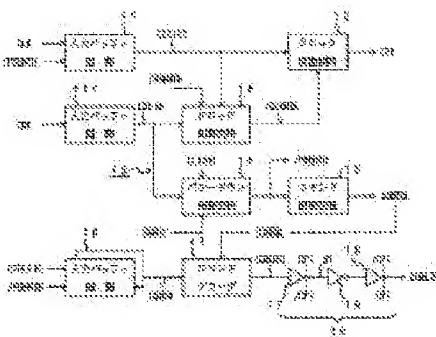
Patent number: JP11066849 (A)
Publication date: 1999-03-09
Inventor(s): OTAKE HIROYUKI; OSHIMA SHIGEO; HASEGAWA TAKEHIRO
Applicant(s): TOSHIBA CORP +
Classification:
- international: **G11C11/407; G11C11/409; G11C11/413; G11C7/20; G11C7/22; G11C11/407; G11C11/409; G11C11/413; G11C7/00;** (IPC1-7): G11C11/407; G11C11/413
- european: G11C7/20; G11C7/22
Application number: JP19970218605 19970813
Priority number(s): JP19970218605 19970813

Also published as:

JP3790021 (B2)
US6088290 (A)

Abstract of JP 11066849 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor storage device capable of decreasing a time taken from a power down mode release up to command input, simplifying a circuit constitution, and decreasing current consumption.
SOLUTION: When a clock enabling signal CKE asynchronous with the clock signal becomes high-level, a power-down control circuit 14 makes the power-down signal/PDENTR to be high-level and releases the power-down mode. When the power-down mode is released, a clock control circuit 13 releases a mask signal/CLKMSK, and a clock driver circuit 12 outputs an internal clock signal CP1 to enable to latch an output signal of a command decoder 43.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-66849

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

G 1 1 C 11/407
11/413

識別記号

F I

G 1 1 C 11/34

3 6 2 S

J

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平9-218605

(22) 出願日 平成9年(1997) 8月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大竹 博之

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 大島 成夫

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 長谷川 武裕

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

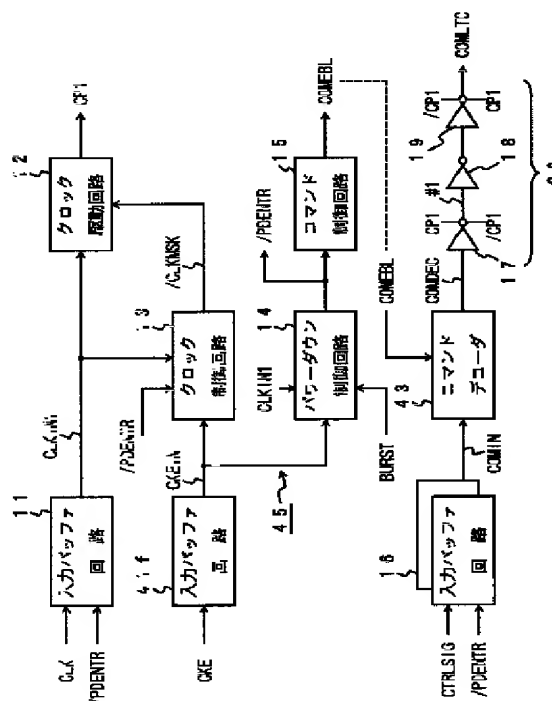
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 パワーダウンモードの解除からコマンド入力までの時間が長く、回路構成の簡単化、消費電流の削減が困難であった。

【解決手段】 パワーダウン制御回路14は、クロック信号と非同期のクロックイネーブル信号CKEがハイレベルとなると、パワーダウン信号/PDENTRをハイレベルとしてパワーダウンモードを解除する。クロック制御回路13はパワーダウンモードが解除されると、マスク信号/CLKMSKを解除し、クロック駆動回路12は内部クロック信号CP1を出力し、コマンドデコーダ43の出力信号をラッチ可能とする。



【特許請求の範囲】

【請求項1】 クロック信号の入力を許容するクロックイネーブル信号の第1の論理レベルに応じてパワーダウンモードを設定する第1の論理レベルのパワーダウン信号を生成し、前記クロックイネーブル信号の第2の論理レベルに応じて、前記パワーダウンモードを解除する第2の論理レベルのパワーダウン信号を生成するパワーダウン制御回路と、

前記パワーダウン制御回路から出力される前記第1の論理レベルのパワーダウン信号に応じて内部クロック信号を非活性とし、前記第2の論理レベルのパワーダウン信号に応じて内部クロック信号を活性化するクロック制御部と、

入力信号をデコードするデコーダと、

前記クロック制御部により活性化された内部クロック信号に応じて前記デコーダの出力信号をラッチするラッチ回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 前記パワーダウン制御回路と前記デコーダの相互間に配置され、前記パワーダウン制御回路から出力される前記第2の論理レベルのパワーダウン信号に応じて、前記デコーダが入力信号をデコードするタイミングを前記クロック制御部が前記内部クロック信号を活性化するまで遅延する遅延手段とを具備することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記クロック制御部は、前記パワーダウン制御回路から出力される前記第1の論理レベルのパワーダウン信号に応じて前記内部クロック信号をマスクする第1の論理レベルのマスク信号を生成し、前記第2の論理レベルのパワーダウン信号に応じて前記マスクを解除する第2の論理レベルのマスク信号を生成するクロック制御回路と、

外部から供給されるクロック信号を受け、前記パワーダウン制御回路から出力される前記第1の論理レベルのパワーダウン信号に応じて非活性とされる入力バッファ回路と、

前記入力バッファ回路の出力信号が供給され、前記第1の論理レベルのマスク信号に応じて前記内部クロック信号をマスクし、前記第2の論理レベルのマスク信号に応じて前記内部クロック信号を出力するクロック駆動回路とを具備することを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、例えばシンクロナスDRAM（ダイナミック・ランダム・アクセス・メモリ）等のクロック信号に同期して動作する半導体記憶装置に関する。

【0002】

【従来の技術】近時、従来のDRAMをSRAM（スタティック・ランダム・アクセス・メモリ）並にデータア

クセスを高速化し、高いデータバンド幅（単位時間当たりのデータバイト数）を得るため、シンクロナスDRAMが提案されている。このシンクロナスDRAMは、既に、4Mビット、16Mビット世代の製品が実用化されている。このシンクロナスDRAMは、従来のDRAMのカラム系回路によって制御されるメモリセルアレイのビット線にラッチされたデータを入出力（I/O）ピンに出力するまでの時間、所謂カラムアクセスタイム（tCAC）を高速化する点が最大の特徴である。さらに、全ての動作がクロック信号入力ピンに入力されるクロック信号の立ち上がりに同期している点も、従来のDRAMと大きく異なっている。

【0003】ところで、このシンクロナスDRAMは、パワーダウンモードを備えている。このパワーダウンモードは、チップをアクセスしないスタンバイ状態での消費電流を削減するために用いられるモードである。このパワーダウンモードに入ると、チップ内部では、入力バッファ回路等の動作を停止させ、消費電流を削減する制御が実行される。

【0004】図9は、シンクロナスDRAMに使用される従来のパワーダウン制御部とその周辺の回路を示している。クロック信号CLKは入力バッファ回路81、82にそれぞれ供給される。これら入力バッファ回路81、82から出力されるクロック信号CLKIN1、CLKIN2はそれぞれクロック駆動回路83、84に供給され、これらクロック駆動回路83、84から内部クロック信号CP1、CP2が出力される。これら内部クロック信号CP1、CP2はパイプライン構造を構成する各ステージに供給される。

【0005】また、クロック信号の入力を許容するクロックイネーブル信号CKEは入力バッファ回路85に供給される。この入力バッファ回路85の出力信号CKEINはクロック制御回路86に供給される。このクロック制御回路86は前記入力バッファ回路82の出力信号CLKIN2、及びクロック信号に同期してデータを連続的に出力するバースト動作時を示す信号BURSTに応じて、パワーダウンモードに入ることを示すパワーダウン信号/PDENTRが発生するとともに、このパワーダウン信号/PDENTRが発生されている場合、クロック信号をマスクするマスク信号/CLKMSKを発生する。このマスク信号/CLKMSKは、前記クロック駆動回路83、84に供給され、前記パワーダウン信号/PDENTRは、前記入力バッファ回路81、及び他の入力バッファ回路87に供給される。

【0006】前記入力バッファ回路87には、ローアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、チップセレクト信号/CS、書き込みイネーブル信号/WE等の信号（これらを総称してCTRLSIGと称す）が供給される複数の入力バッファ回路を含んでいる。この入力バッファ回路87の出力信号

COMINはコマンドデコード88に供給される。このコマンドデコード88はローアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS等をデコードし、書き込み、読み出し等の各種コマンドCOMDECを生成する。この生成されたコマンドCOMDECは前記内部クロック信号CP1、/CP1により駆動されるクロックインバータ回路89、インバータ回路90を介して前記内部クロック信号CP1、/CP1により駆動されるクロックインバータ回路91に供給され、このクロックインバータ回路91の出力信号COMLTCが図示せぬ内部回路へ供給される。

【0007】図10は、前記入力バッファ回路81の回路構成を示している。入力バッファ回路81において、カレントミラー回路91は、PチャネルMOSトランジスタ（以下、PMOSトランジスタと称す）81a、81b、81c、及びNチャネルMOSトランジスタ（以下、NMOSトランジスタと称す）81d、81e、81fにより構成されている。前記PMOSトランジスタ81aのゲートには、接地電位Vssが供給され、NMOSトランジスタ81dのゲートには基準電位Vrefが供給され、NMOSトランジスタ81eのゲートにはクロック信号CLKが供給され、NMOSトランジスタ81fのゲートには前記パワーダウン信号/PDENTRが供給されている。

【0008】前記PMOSトランジスタ81cとNMOSトランジスタ81eの接続ノードN1と、電源Vccの相互間には、PMOSトランジスタ81gが接続されている。このPMOSトランジスタ81gのゲートには前記パワーダウン信号/PDENTRが供給されている。

【0009】さらに、前記接続ノードN1には、フリップフロップ回路81hを構成するナンド回路81iの一方入力端が接続されている。このフリップフロップ回路81hを構成するナンド回路81jの一方入力端と他方入力端の相互間には遅延回路81kを構成する例えば3つのインバータ回路が直列接続されている。前記ナンド回路81iの出力端にはインバータ回路81l、81mが直列接続され、インバータ回路81mの出力端から信号CLKIN1が出力される。

【0010】図11は、前記クロック駆動回路83の回路構成を示している。このクロック駆動回路83は、前記信号CLKIN1とマスク信号/CLKMSKが供給されるナンド回路83aと、このナンド回路83aの出力端に接続されたインバータ回路83bとからなり、このインバータ回路83bの出力端から内部クロック信号CP1が出力される。

【0011】図12は、前記入力バッファ回路82の構成を示し、図13は、前記クロック駆動回路84の構成を示している。入力バッファ回路82は、前記入力バッファ回路81と殆ど同様の構成であり、クロック駆動回路84は前記クロック駆動回路83と殆ど同様の構成で

あるため、同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0012】すなわち、図12に示す入力バッファ回路82において、NMOSトランジスタ81fのゲートには電源電圧Vccが供給され、接続ノードN1にはPMOSトランジスタ81gが接続されていない。また、インバータ回路81mからは信号CLKIN2が出力される。

【0013】図13に示すクロック駆動回路84において、ナンド回路83aの入力端には信号CLKIN2が供給され、インバータ回路83bの出力端からは内部クロック信号CP2が出力される。

【0014】図14は、前記入力バッファ回路87の回路構成を示している。この回路において、カレントミラー回路92は、PMOSトランジスタ87a、87b、87c、及びNMOSトランジスタ87d、87e、87fにより構成されている。前記PMOSトランジスタ87aのゲートには、接地電位Vssが供給され、NMOSトランジスタ87dのゲートには基準電位Vrefが供給され、NMOSトランジスタ87eのゲートには信号CTRLSIGが供給され、NMOSトランジスタ87fのゲートには前記パワーダウン信号/PDENTRが供給されている。

【0015】前記PMOSトランジスタ87cとNMOSトランジスタ87eの接続ノードN2と、電源Vccの相互間には、PMOSトランジスタ87gが接続されている。このPMOSトランジスタ87gのゲートには前記パワーダウン信号/PDENTRが供給されている。

【0016】さらに、前記接続ノードN2には、3つのインバータ回路87h、87i、87jが直列接続され、インバータ回路87jの出力端より、信号COMINが出力される。

【0017】図15は、前記入力バッファ回路85の回路構成を示している。この入力バッファ回路は前記入力バッファ回路87と殆ど同様の構成であるため、同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0018】図15において、NMOSトランジスタ87fのゲートには電源電圧Vccが供給され、接続ノードN2にはPMOSトランジスタ87gが接続されていない。また、インバータ回路87jからは信号CKEINが出力される。

【0019】図16は、前記クロック制御回路86の構成を示している。この回路はクロックインバータ回路86a、86c、86g、インバータ回路86b、86d、86f、86h、86iが図示順序で直列接続され、インバータ回路86iの出力端からマスク信号/CLKMSKが出力される。前記インバータ回路86dにはクロックインバータ回路86eが並列接続され、これらによりラッチ回路が構成されている。前記クロック

ドインバータ回路86a、86c、86e、86gは、それぞれ前記信号CLKIN2、及びその反転信号／CLKIN2により駆動される。前記クロックドインバータ回路86gの出力端はノア回路86iの一方入力端に接続されている。このノア回路86iの他方入力端には前記信号BURSTが供給され、出力端はインバータ回路86kの入力端に接続されている。このインバータ回路86kの出力端よりパワーダウン信号／PDENTRが出力される。

【0020】図17は、図9乃至図16に示す回路の動作を示している。上記構成において、入力バッファ回路85に供給されるクロックイネーブル信号CKEがローレベルとされると、この入力バッファ回路85の出力信号CKEINがローレベルとなり、クロック制御回路86よりパワーダウン信号／PDENTRが出力され、パワーダウンモードに入る。入力バッファ回路81、87は前記パワーダウン信号／PDENTRに従い停止され、消費電流が削減される。また、この時、クロック制御回路86より出力されるマスク信号／CLKMSKによりクロック駆動回路83、84から出力される内部クロック信号CP1、CP2がマスクされる。

【0021】上記パワーダウンモードにおいて、クロックイネーブル信号CKEがハイレベルとされると、常時活性化状態の入力バッファ回路85から信号CKEINが出力される。また、入力バッファ回路82も、常時活性化状態であり、クロック制御回路86は、この入力バッファ回路82から供給される信号CLKIN2、／CLKIN2に応じて前記入力バッファ回路85から出力される信号CKEINを取り込み、この信号CKEINに応じてパワーダウン信号／PDENTR、及びマスク信号／CLKMSKをハイレベルとする。このため、パワーダウンモードが解除され、入力バッファ回路81、87等が動作され、コマンドのデコード及びラッチ等が可能となる。

【0022】

【発明が解決しようとする課題】ところで、上記従来の構成では、パワーダウンモードにおいて、クロックイネーブル信号CKEをハイレベルとすると、外部から供給されるクロック信号CLKを受けて、パワーダウンモードを解除している。このため、パワーダウンモードを解除し、各回路を活性化するために、クロックイネーブル信号CKEをハイレベルとした後に、外部クロック信号CLKを必ず1クロック必要とする。つまり、図17に示すように、パワーダウンモードを解除するためのクロック信号CLK_nの次のクロック信号CLK_{n+1}でなければ内部クロック信号CP1が出力されない。クロックドインバータ回路91は、この内部クロック信号CP1に応じてコマンドを受けるため、パワーダウンモードを解除してからコマンドをラッチするまでに時間がかかる。

【0023】また、パワーダウンモードが解除されるまでの時間がサイクルタイムに依存しているため、サイクルタイムが長くなると、当然、クロックイネーブル信号CKEをハイレベルとしてからパワーダウンモードが解除されるまでの時間も長くなる。したがって、この場合、パワーダウンモードを解除してからコマンドをラッチするまでに一層時間がかかることとなる。

【0024】さらに、パワーダウンモードを解除するためにクロック信号CLKから生成した信号CLKIN2を必要とするため、入力バッファ回路82を常時活性化しておく必要がある。このため、クロック信号を受ける入力バッファ回路として、パワーダウンモード時に非活性化状態の入力バッファ回路と活性化状態の入力バッファ回路の二種類の回路を必要とするため回路構成が複雑であり、しかも、パワーダウンモード時に活性化状態の入力バッファ回路が複数あるため、消費電流が多くなるという問題を有している。

【0025】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、パワーダウンモードの解除からコマンド入力までの時間を短縮できるとともに、回路構成を簡単化でき消費電流を削減可能な半導体記憶装置を提供しようとするものである。

【0026】

【課題を解決するための手段】本発明の半導体記憶装置は、上記課題を解決するため、クロック信号の入力を許容するクロックイネーブル信号の第1の論理レベルに応じてパワーダウンモードを設定する第1の論理レベルのパワーダウン信号を生成し、前記クロックイネーブル信号の第2の論理レベルに応じて、前記パワーダウンモードを解除する第2の論理レベルのパワーダウン信号を生成するパワーダウン制御回路と、前記パワーダウン制御回路から出力される前記第1の論理レベルのパワーダウン信号に応じて内部クロック信号を非活性とし、前記第2の論理レベルのパワーダウン信号に応じて内部クロック信号を活性化するクロック制御部と、入力信号をデコードするデコーダと、前記クロック制御部により活性化された内部クロック信号に応じて前記デコーダの出力信号をラッチするラッチ回路とを具備している。

【0027】前記パワーダウン制御回路と前記デコーダの相互間に配置され、前記パワーダウン制御回路から出力される前記第2の論理レベルのパワーダウン信号に応じて、前記デコーダが入力信号をデコードするタイミングを前記クロック制御部が前記内部クロック信号を活性化するまで遅延する遅延手段とを具備している。

【0028】前記クロック制御部は、前記パワーダウン制御回路から出力される前記第1の論理レベルのパワーダウン信号に応じて前記内部クロック信号をマスクする第1の論理レベルのマスク信号を生成し、前記第2の論理レベルのパワーダウン信号に応じて前記マスクを解除する第2の論理レベルのマスク信号を生成するクロック

制御回路と、外部から供給されるクロック信号を受け、前記パワーダウン制御回路から出力される前記第1の論理レベルのパワーダウン信号に応じて非活性とされる入力バッファ回路と、前記入力バッファ回路の出力信号が供給され、前記第1の論理レベルのマスク信号に応じて前記内部クロック信号をマスクし、前記第2の論理レベルのマスク信号に応じて前記内部クロック信号を出力するクロック駆動回路とを具備している。

【0029】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。先ず、図2を参照してこの発明が適用される半導体記憶装置の構成について説明する。図2において、クロック信号CLK、チップセレクト信号/CS、ローアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、書き込みイネーブル信号/WEは、それぞれ図示せぬ外部接続ピンに供給される。前記クロック信号CLKは入力バッファ回路41aに供給され、前記チップセレクト信号/CSは入力バッファ回路41bに供給され、前記ローアドレスストロブ信号/RASは入力バッファ回路41cに供給され、前記カラムアドレスストロブ信号/CASは入力バッファ回路41dに供給され、前記書き込みイネーブル信号/WEは入力バッファ回路41eに供給される。

【0030】前記入力バッファ回路41aは、複数の入力バッファ回路を有し、クロック信号CLKはこれらバッファにそれぞれ供給される。これら入力バッファ回路から出力されるクロック信号はクロック駆動回路42に供給される。このクロック駆動回路42も前記複数の入力バッファ回路に対応して複数のクロック駆動回路を有している。これらクロック駆動回路はクロック信号を出力し、制御信号発生部44やその他の回路に供給する。これらクロック駆動回路42、入力バッファ回路41aは、チップ内の各部に供給されるクロック信号のスキューを減少させたり、多くの回路を駆動するためにそれぞれ複数設けている。

【0031】前記入力バッファ回路41b、41c、41d、41eから出力されるチップセレクト信号/CS、ローアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、書き込みイネーブル信号/WEは、コマンドデコーダ43に供給される。このコマンドデコーダ43は、例えばローアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CASに基づいて、データの読み出しコマンドや書き込みコマンド、レイテンシを切り替えるコマンド等を生成する。このコマンドデコーダ43の出力信号は後述するラッチ回路を介して前記制御信号発生部44に供給される。

【0032】一方、クロックイネーブル信号CKEは、入力バッファ回路41fを介してパワーダウン制御部45に供給される。このパワーダウン制御部45はクロッ

クイネーブル信号CKEに応じて、パワーダウン信号/PDENTR、マスク信号/CLKMSK、コマンドイネーブル信号COMEBLを発生する。パワーダウン信号/PDENTRは前記入力バッファ回路41a～41e、前記制御信号発生部44、アドレスバッファ回路41g、及び入力バッファ回路41h、41iに供給され、スタンバイ時に、これらの回路の消費電流が削減される。クロック信号をサスペンドするための前記マスク信号/CLKMSKはクロック駆動回路12に供給され、コマンドイネーブル信号COMEBLはコマンドデコーダ43に供給される。

【0033】また、アドレス信号A0～A11は前記アドレスバッファ回路41gを介して前記制御信号発生部44に供給される。この制御信号発生部44はモードレジスタ44a、オペレーション・クロック制御回路44b、カラムカウンタ44c、バースト長カウンタ44d、アドレス・パーシャル・デコーダ44e、及び図示せぬリフレッシュ回路を有している。

【0034】前記モードレジスタ44aはレイテンシの制御情報、バースト長の制御情報を記憶する。前記オペレーション・クロック制御回路44bは前記クロック駆動回路42から供給されるクロック信号に応じてカラムデコーダの動作タイミング、カラム選択線の選択タイミング、読み出しデータや書き込みデータを保持する図示せぬDQバッファの動作タイミング、及びパイプラインの各ステージを切換えるクロック信号等を制御する。前記カラムカウンタ44cはバースト読み出し時のカラムアドレスをカウントする。前記バースト長カウンタ44dはバースト読み出し時にバースト長をカウントする。前記アドレス・パーシャル・デコーダ44eはカラムアドレス、及びローアドレスを部分的にデコードする。前記アドレス・パーシャル・デコーダ44eのデコード出力はメモリブロック48に供給される。このメモリブロック48は複数のバンクを有し、各バンクはメモリエルアレイMCA、カラムデコーダCDC、ローデコーダRDCを有している。

【0035】また、データの入出力をマスクする信号U/LDQMは入力バッファ回路41hを介してDQマスク制御回路46に供給され、図示せぬ外部接続ピンに供給された入力データDQ0～DQ15は入力バッファ回路41iを介してデータ制御部47に供給される。データ制御部47はデータの書き込み時、前記DQマスク制御部46の出力に応じて入力バッファ回路41iから供給される入力データDQ0～DQ15を前記メモリエルブロック48に供給し、データの読み出し時、メモリエルブロック48から読み出されたデータを増幅し、オフチップ駆動部49に供給する。このオフチップ駆動部49はデータを図示せぬ外部接続ピンに出力する。

【0036】図1は、この発明の第1の実施の形態を示すものであり、図2の要部を示している。図1におい

て、図2と同一部分には同一符号を付す。入力バッファ回路11は、前記入力バッファ回路41aのうちの1つを示している。この入力バッファ回路11は、図10に示す入力バッファ回路81と同一構成であり、クロック信号CLKとパワーダウン信号/PDENTRが供給されている。この入力バッファ回路11から出力される信号CLKIN1はクロック駆動回路12に供給される。このクロック駆動回路12は前記クロック駆動回路42のうちの1つであり、このクロック駆動回路12は前記信号CLKIN1に応じて内部クロック信号CP1を出力する。このクロック駆動回路12は図11に示す回路と同一である。

【0037】パワーダウン制御部45は、クロック制御回路13、パワーダウン制御回路14、コマンド制御回路15とから構成されている。前記パワーダウン制御回路14には、前記入力バッファ回路41fから出力される信号CKEIN、入力バッファ回路11から出力される信号CLKIN1、及びバースト動作を示す信号BURSTが供給され、これらの信号に応じてパワーダウン信号/PDENTRを生成する。このパワーダウン信号/PDENTRは前述したように各部に供給されるとともに、前記クロック制御回路13、及びコマンド制御回路15に供給される。

【0038】前記クロック制御回路13には前記入力バッファ回路41fから出力される信号CKEIN、入力バッファ回路11から出力される信号CLKIN1、及びパワーダウン信号/PDENTRが供給され、これらの信号よりクロック信号をマスクするためのマスク信号/CLKMSKを生成する。このマスク信号/CLKMSKは前記クロック駆動回路12に供給される。このマスク信号/CLKMSKは、バースト動作時にクロックイネーブル信号CKEをローレベルとした場合、活性化状態とされた入力バッファ回路から出力されるクロック信号をマスクし、外部クロック信号を受け付けないクロックサスペンド状態とする。

【0039】コマンド制御回路15は、パワーダウンモードが解除される時、コマンドイネーブル信号COMEBLを生成し、前記コマンドデコーダ43に供給する。このコマンドイネーブル信号COMEBLは、パワーダウンモードが解除される時、前記クロック駆動回路12から出力される内部クロック信号CP1がハイレベルとなるまでコマンドのデコードを阻止する。

【0040】入力バッファ回路16は、前記入力バッファ回路41b～41eを一括して示しており、信号CTRLSIGは、前記チップセレクト信号/CS、ローアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、書き込みイネーブル信号/WEを総称している。

【0041】前記コマンドデコーダ43の出力端には、内部クロック信号CP1、/CP1により駆動されるク

ロックドインバータ回路17、19、及びインバータ回路18が図示のように直列接続されたラッチ回路20が接続されており、前記クロックドインバータ回路19の出力端から、コマンドCOMLTCが出力される。

【0042】図3は、前記クロック制御回路13の回路構成を示している。前記入力バッファ回路41fから出力される信号CKEINは、内部クロック信号CP1、/CP1により駆動されるクロックドインバータ回路13aの入力端に接続される。このクロックドインバータ回路13aの出力端はインバータ回路13b、クロックドインバータ回路13cを介してナンド回路13dの一方入力端に供給される。

【0043】前記パワーダウン信号/PDENTRはナンド回路13eの一方入力端に接続されるとともに、例えば3つのインバータ回路が直列接続された遅延回路13fを介してナンド回路13eの他方入力端に接続される。このナンド回路13eの出力端は前記ナンド回路13dの他方入力端に接続される。このナンド回路13dの出力端と、その一方入力端の相互間には内部クロック信号CP1、/CP1により駆動されるクロックドインバータ回路13gが接続されている。さらに、前記ナンド回路13dの出力端には、インバータ回路13h、内部クロック信号CP1、/CP1により駆動されるクロックドインバータ回路13i、及びインバータ回路13jの直列回路が接続されている。前記インバータ回路13jの出力端からマスク信号/CLKMSKが出力される。

【0044】図4は、前記パワーダウン制御回路14の回路構成を示している。信号BURST、及び信号CKEINはノア回路14aに供給されている。このノア回路14aの出力端は内部クロック信号CP1、/CP1により駆動されるクロックドインバータ回路14b、インバータ回路14cを介してナンド回路14dの一方入力端に接続されている。

【0045】前記信号CLKIN1はインバータ回路14e、14fを介して前記ナンド回路14dの他方入力端に接続されている。ナンド回路14dの出力端はフリップフロップ回路14gを構成するナンド回路14hの一方入力端に接続されている。前記フリップフロップ回路14gを構成するナンド回路14iの一方入力端にはインバータ回路14jを介して信号CKEINが供給されている。前記ナンド回路14iの出力端にはインバータ回路14k、14lの直列回路が接続され、インバータ回路14lの出力端からパワーダウン信号/PDENTRが出力される。前記信号/PDENTRは、パワーダウンモード時ローレベルである。バースト信号BURSTは、前記バースト長カウンタ44dから供給され、バースト動作中ハイレベル、それ以外の時ローレベルとされる。

【0046】図5は、前記コマンド制御回路15の構成

を示している。前記パワーダウン制御回路14から出力されるパワーダウン信号/PDENTRは、ナンド回路15aの一方入力端に供給されるとともに、例えば4つのインバータ回路を直列接続して構成された遅延回路15bを介して前記ナンド回路15aの他方入力端に供給される。このナンド回路15aの出力端には、インバータ回路15cが接続され、このインバータ回路15cの出力端からコマンドイネーブル信号COMEBLが出力される。コマンドイネーブル信号COMEBLはパワーダウン信号/PDENTRと同相の遅延信号であり、前記遅延回路15に設定される遅延時間 t_d は、クロック信号CLKがハイレベルの状態、クロックイネーブル信号CKEがハイレベルとなつてから、コマンドデコード43よりデコード信号COMDECが出力される迄の時間が、クロックイネーブル信号CKEがハイレベルとなつてから、内部クロック信号CP1が出力される迄の時間より長くなるような関係に設定される。換言すれば、この遅延時間 t_d は図6に示すように、パワーダウン信号/PDENTRが立ち上がってから、内部クロック信号CP1が出力される迄、信号COMEBLの出力を遅延させ、コマンドデコード43のデコード出力COMDECが遅延される時間であればよい。

【0047】上記構成において、図6を参照して動作について説明する。まず、パワーダウンモードに入る場合、クロックイネーブル信号CKEがローレベルとされる。すると、入力バッファ回路41fの出力信号CKEINがローレベルとなる。パワーダウン制御回路14は、入力バッファ回路11から出力される信号CLKIN1に応じて、信号CKEINを取り込み、図4に示すフリップフロップ回路14gのナンド回路14hをセットする。このため、フリップフロップ回路14gの出力端としてのナンド回路14iの出力端がローレベルとなり、インバータ回路14lから出力されるパワーダウン信号/PDENTRがローレベルとなる。このようにして、パワーダウンモードに入ると、入力バッファ回路11、16等の動作が停止され、消費電流が削減される。

【0048】また、パワーダウン信号/PDENTRがローレベルとなると、コマンド制御回路15から出力されるコマンドイネーブル信号COMEBLがローレベルとなり、コマンドデコード43の動作が停止される。

【0049】一方、クロック制御回路13は、図3に示すクロックドインバータ回路13a、インバータ回路13b、クロックドインバータ回路13cの経路で、信号CLKIN1に応じて、信号CKEINを取り込み、インバータ回路13jからローレベルのマスク信号/CLKMSKを出力する。クロック駆動回路12はこのマスク信号/CLKMSKに応じて、内部クロック信号CP1をマスクする。このため、コマンドデコード43の出力端に接続されたラッチ回路20が閉じた状態とされ、コマンドの転送が阻止される。

【0050】次に、パワーダウンモードから出る場合について説明する。上記パワーダウンモードにおいて、クロックイネーブル信号CKEがハイレベルとされると、パワーダウン制御回路14は、クロック信号と非同期にパワーダウン信号/PDENTRをハイレベルとする。すなわち、図4に示すように、入力バッファ回路41fから出力される信号CKEINは、インバータ回路14jを介してフリップフロップ回路14gを構成するナンド回路14iに供給される。このため、このナンド回路14iの出力信号が反転し、インバータ回路14lから出力されるパワーダウン信号/PDENTRがハイレベルとなる。

【0051】このように、パワーダウン信号/PDENTRがハイレベルとなると、入力バッファ回路11、16等が活性化される。これとともに、前記クロック制御回路13は、パワーダウン信号/PDENTRに応じて遅延回路13fとナンド回路13eとで生成される信号PDEXITと信号CKEINにより、マスク信号/CLKMSKをハイレベルとする。このため、このマスク信号/CLKMSKが供給されるクロック駆動回路12は内部クロック信号CP1のマスクを解除する。

【0052】一方、パワーダウン信号/PDENTRがハイレベルとなると、コマンド制御回路15から出力されるコマンドイネーブル信号COMEBLがハイレベルとなる。このコマンドイネーブル信号COMEBLの立ち上がりは、図5に示す遅延回路15bにより、パワーダウン信号/PDENTRの立ち上がりより遅延されている。このため、コマンドラッチの誤動作を防止できる。すなわち、この実施の形態の場合、クロック信号と非同期のクロックイネーブル信号CKEに応じてパワーダウンモードから出るため、パワーダウンモードから出るタイミングによっては、不要な内部クロック信号が生成されていることがあり、この不要な内部クロック信号によりコマンドをラッチしてしまう可能性がある。

【0053】図7は、コマンド制御回路15を設けない場合の動作を示している。この場合、パワーダウン信号/PDENTRがハイレベルとなり、パワーダウンモードから出た状態で、コマンドデコード43から出力される信号COMDECがハイレベルとなった時、内部クロック信号CP1はローレベルである。このため、クロックドインバータ回路17は動作状態であり、この出力信号#1はローレベルとなる。この後、内部クロック信号CP1が出力されると、クロックドインバータ回路19は信号#1を反転して出力するため、コマンド信号COMLTCはハイレベルとなる。

【0054】これに対して、図8に示すように、コマンド制御回路15を設けた場合、コマンド制御回路15の出力信号COMEBLにより、信号COMDECがコマンドデコード43から出力されるタイミングは、内部クロック信号CP1が発生されるタイミングより遅らされ

る。このため、ラッチ回路20は内部クロック信号CP1に応じて、コマンドデコード43から出力される信号COMDECを確実に転送できる。

【0055】上記実施の形態によれば、パワーダウン制御回路14において、パワーダウンモードから出るとき、クロック信号とは非同期のクロックイネーブル信号CKEによりパワーダウン信号/PDENTRをハイレベルとしている。このため、従来必要であったパワーダウンモードの解除から、各回路を活性化するための1クロックが不要となるため、パワーダウンモードを解除してからコマンドをラッチし、転送可能となる迄の時間を短縮でき、高速動作が可能となる。

【0056】また、従来はパワーダウンモード時に活性化状態とされ、貫通電流が流れる入力バッファ回路を2つ必要としたが、この実施の形態の場合、パワーダウンモード時に活性化状態とされているのは、クロックイネーブル信号CKEを受ける入力バッファ回路41fだけであるため、消費電流を削減できる。

【0057】さらに、コマンド制御回路15により、パワーダウンモードから出る際、内部クロック信号の立ち上がりより、コマンドデコード45のデコードタイミングを遅らせている。したがって、誤動作を防止できる。尚、この発明は、上記実施例に限定されるものではなく、発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0058】

【発明の効果】以上、詳述したようにこの発明によれば、パワーダウンモードの解除からコマンド入力までの時間を短縮できるとともに、回路構成を簡単化でき消費電流を削減可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す回路構成図。

【図2】本発明が適用される半導体記憶装置の一例を示す構成図。

【図3】図1に示す回路で使用される信号を生成する回路の一例を示す回路図。

【図4】図1に示す回路で使用される信号を生成する回路の一例を示す回路図。

【図5】図1に示す回路で使用される信号を生成する回路の一例を示す回路図。

【図6】図1に示す回路の動作を示すタイミングチャート。

【図7】図1に示す回路の動作を示すタイミングチャート。

【図8】図1に示す回路の動作を示すタイミングチャート。

【図9】従来のパワーダウン制御部を示す構成図。

【図10】図9に示す入力バッファ回路の例を示す回路図。

【図11】図9に示すクロック駆動回路の例を示す回路図。

【図12】図9に示す入力バッファ回路の例を示す回路図。

【図13】図9に示すクロック駆動回路の例を示す回路図。

【図14】図9に示す入力バッファ回路の例を示す回路図。

【図15】図9に示す入力バッファ回路の例を示す回路図。

【図16】図9に示すクロック制御回路の例を示す回路図。

【図17】図9に示す回路の動作を示すタイミングチャート。

【符号の説明】

11、16、41a～41f、41h、41i…入力バッファ回路、

12…クロック駆動回路、

13…クロック制御回路、

14…パワーダウン制御回路、

15…コマンド制御回路、

20…ラッチ回路、

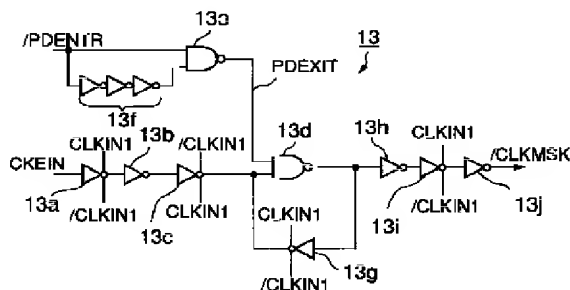
41g…アドレスバッファ回路、

43…コマンドデコード、

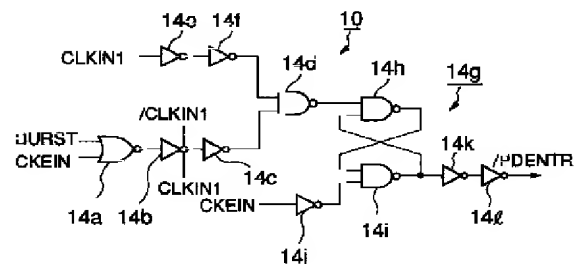
44…制御信号発生部、

45…パワーダウン制御部。

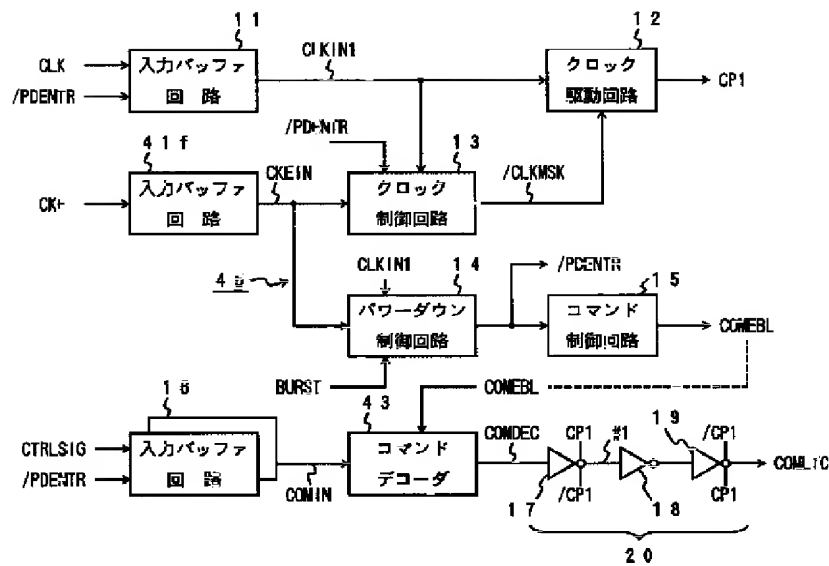
【図3】



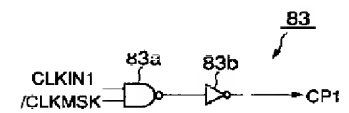
【図4】



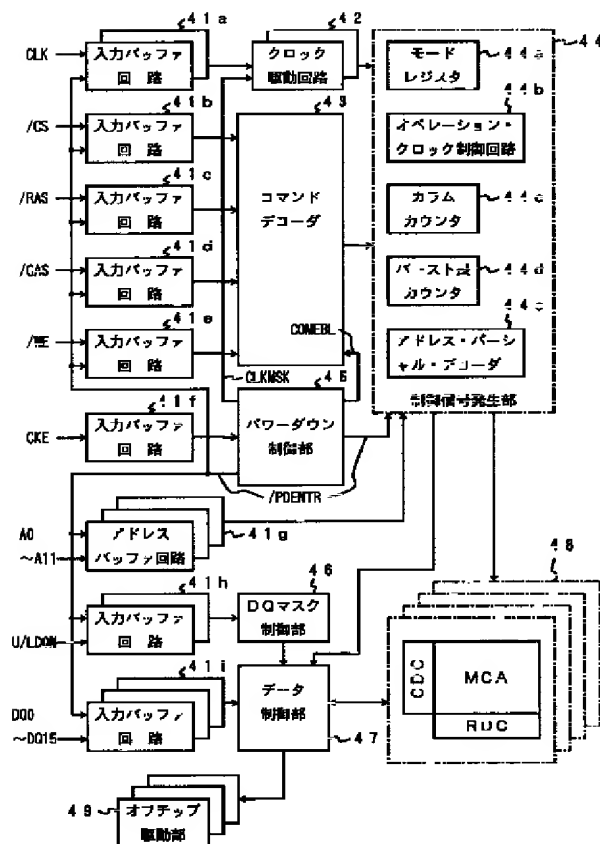
【図1】



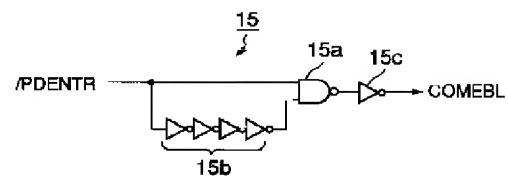
【図11】



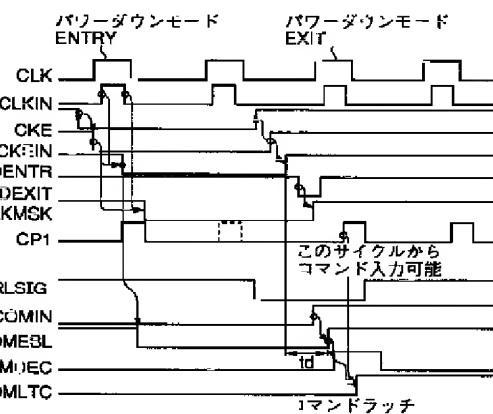
【図2】



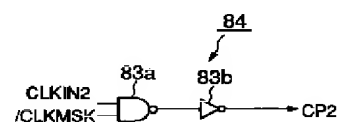
【図5】



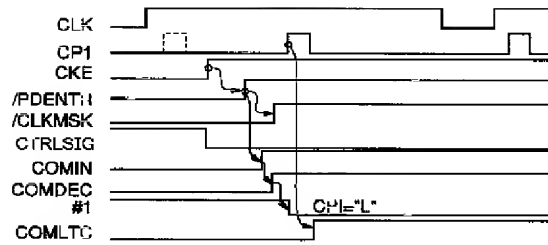
【図6】



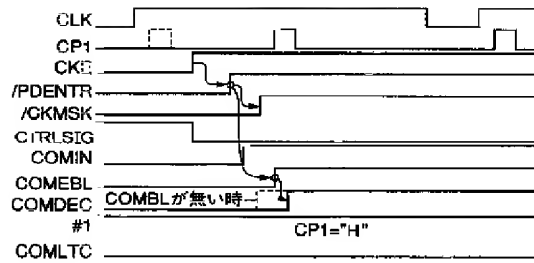
【図13】



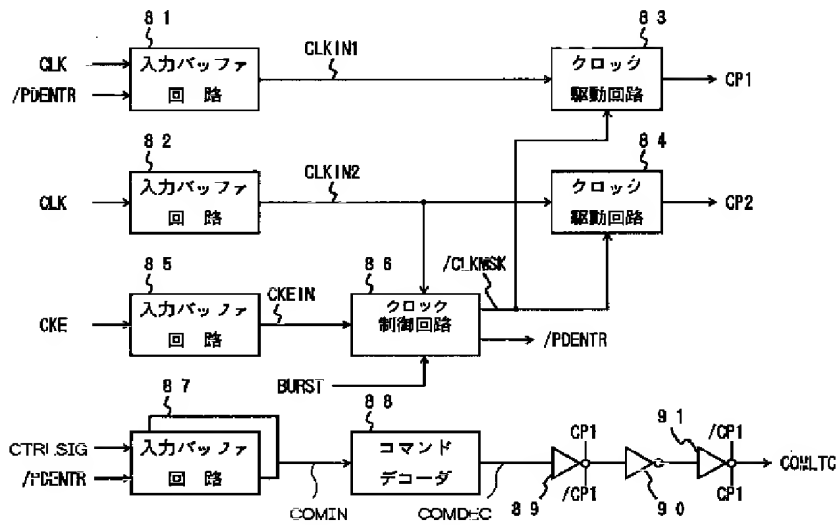
【図7】



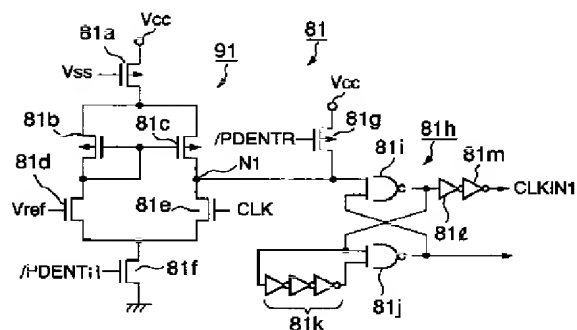
【図8】



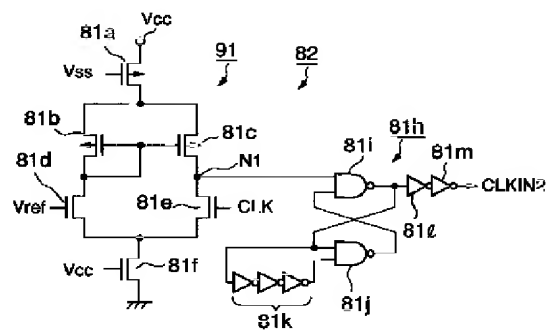
【図9】



【図10】



【図12】



【例 15】

